

申請日期：	91.2.25	案號：	91103372
類別：	G46F 13/14		

(以上各欄由本局填註)

公告本

發明專利說明書

546567

一、 發明名稱	中文	一對多存取系統之簡單化、可靠化
	英文	
二、 發明人	姓名 (中文)	1. 鄭欽維
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 新竹市南大路672巷1弄10號
三、 申請人	姓名 (名稱) (中文)	1. 凌陽科技股份有限公司
	姓名 (名稱) (英文)	1. SUNPLUS TECHNOLOGY CO., LTD
	國籍	1. 中華民國
	住、居所 (事務所)	1. 30077 新竹科學工業園區創新一路19號
	代表人 姓名 (中文)	1. 黃洲杰
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：一對多存取系統之簡單化、可靠化)

本案有關一種共用腳位或共用匯流排的存取系統，其目的在於：提供一資料存取方案，讓一第一元件（尤其是功能多以致於積體較大的積體電路）經過共用的腳位（或共用的通道），對其外部的多個其他元件（例如記憶體以及存有資料的元件等）執行存取，使元件腳位數量最小化，而元件體積也就得以最小化，同時也免除較大積體電路設計、製作上的瓶頸。本案特徵在於：該第一元件對某一外部裝置執行存取時，利用一可控制電路隔離其他外部裝置，以達到腳位共用的優點，卻同時免除腳位共用所可能引起的資料出錯或其他困擾。

英文發明摘要 (發明之名稱：)

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

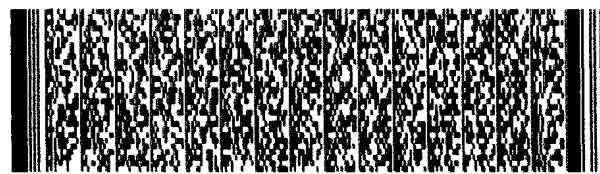
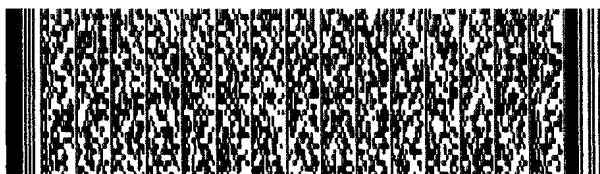
發明領域

本案有關一種共用腳位或共用匯流排的存取系統，特別是一種存取系統：一積體電路元件經由其共用腳位，分別對一緩衝記憶體與另一存有資料的元件執行存取，更尤其是，一數位相機內主要積體電路元件經過其共用腳位，對其外部（指該主要積體電路元件外部）不同元件執行存取的系統。

發明背景

相關業界要求積體電路的功能體積比愈來愈大，而在積體電路的體形大到了某一程度時，如何節省體積卻保有相同的功能，尤其是關鍵性的重要課題。也就是，積體電路體積大小對設計、製造等的成本與困難度而言，其邊際效應極為可觀。由此可推知，若一積體電路經由不同的腳位對外部的不同記憶體或元件執行存取，則將會用到數目眾多的腳位，尤其若該積體電路因功能多而體積本就已經大到了某一程度，則這些腳位因共用而節省的數量，對該降低積體電路的設計、製造等的困難度與成本而言，將極具關鍵性的意義。以下舉出一種數位相機的例子說明之。

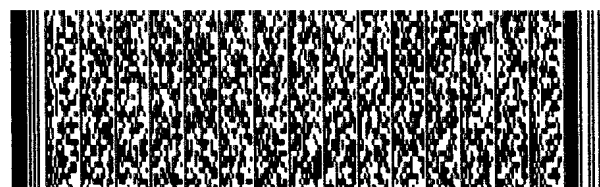
圖 1 所示係習知的數位相機之資料存取系統，其中積體電路 1 經過信號通道 4 對緩衝記憶體 3 執行存取，而經過信號通道 5 對另一元件 2（例如一影像儲存記憶卡，或稱為 Smart Media Card）執行存取，另積體電路 1 經過指令通道 6 送指令信號到記憶體 3，以通知記憶體 3 配合積



五、發明說明 (2)

體電路1執行存取，積體電路1也會經過指令通道7送指令信號到積體電路2，以通知積體電路2配合積體電路1執行存取。以上的存取系統中，信號通道4與5各佔用積體電路1的不同腳位。若每一信號通道為8位元，則總共佔用16個腳位，而若信號通道位元數更多時，則總計佔用的腳位數量就更多了。另一方面，指令通道6與7各佔用積體電路1的不同腳位，因此，指令通道6與7總計佔用的積體電路1腳位也很可觀。為了要對記憶體3與積體電路2執行存取，上述習知的數位相機內的這種積體電路1就需要數目可觀的腳位。在積體電路功能日漸增加而體積卻被要求縮小的趨勢下，設法使積體電路1腳位數量減少，對降低數位相機設計或製作的成本、難度等的重要性將日漸明顯。本案因此被提出，以供一積體電路元件經由其共用腳位，分別對其外部一記憶體以及至少一其他元件等執行存取，達成有效減少積體電路腳位數量，不僅讓數位相機，也讓其他數位裝置(digital apparatus)，可以有較多的功能卻不致於需要大體積的積體電路，使設計或製作的成本、困難度等不會遇到瓶頸。

雖然上述的習知系統可以設計成，積體電路1經由其共用的腳位對其外部記憶體3與元件2執行存取，以減少積體電路1的腳位數量，避免積體電路1設計、製造上的瓶頸，但這樣的設計卻會導致一種後果：元件2的狀態影響到積體電路1對記憶體3的存取作業。例如數位相機的影像儲存記憶卡(Smart Media Card，也就是上述的元件2



五、發明說明 (3)

)，是一個可隨時插入或拔除的裝置，而在插拔時，該記憶卡的插槽會造成信號短路，導致積體電路1對緩衝記憶體3的存取資料出錯。所以本發明提出一種資料存取方案，一方面讓積體電路1經由其共用腳位對其外部多個記憶體或元件執行存取，另一方面讓積體電路1對這些記憶體或元件執行存取時，不會因為共用腳位而出錯。

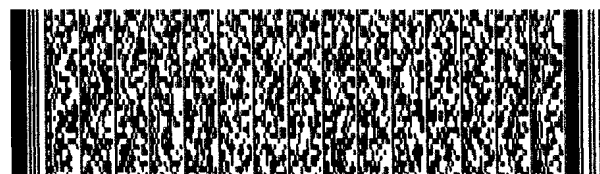
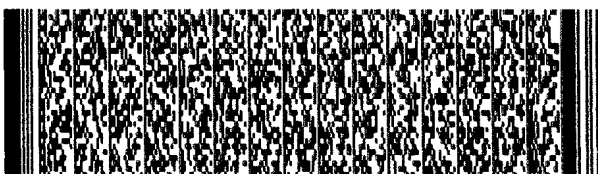
圖2所示係假設圖1習知案例不需要或省略指令通道6與7的情形。

發明說明

本案目的在於，提供一資料存取方案，讓一元件（尤其是功能多以致於積體較大的積體電路）經過共用的腳位（或共用的通道），對其外部的多個其他元件（例如記憶體以及存有資料的元件等）執行存取，使元件腳位數量最小化，而元件體積也就得以最小化，同時也免除較大積體電路設計、製作上的瓶頸。

簡而言之，本發明所提存取方案為，一元件經由其共用腳位對其外部多個裝置（記憶體或其他元件）執行存取，而在這元件對某一外部裝置執行存取時，利用一可控制電路隔離其他外部裝置，以達到腳位共用的優點，同時免除腳位共用所可能引起的資料出錯或其他困擾。

本案資料存取方案的一代表例為一種存取系統，用以讓一第一元件（例如任一積體電路或一中央處理器CPU）對其外部的一記憶體與至少一第二元件（內有資料）執行存

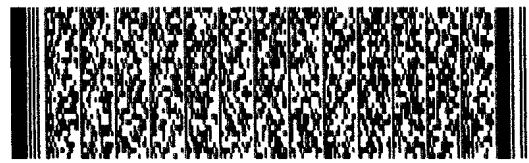
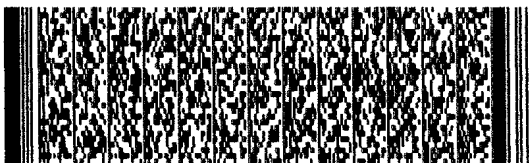


五、發明說明 (4)

取。這種存取系統包含：一第一信號通道；一第二信號通道；一第三信號通道；以及一信號通道控制器；該等信號通道可以是俗稱的匯流排 (bus)，該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位 (例如積體電路的一組輸出／輸入埠)，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該信號通道控制器、該第三信號通道而電連接該第二元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該第二信號通道與該第三信號通道，以免該第二元件影響到該第一元件對該記憶體執行存取。在實際應用中，上述該信號通道控制器與該第二元件可以彼此緊鄰，使該第三信號通道等於不存在，故上述本案資料存取方案的代表例，也可以不包含該第三信號通道。

上述存取系統中，該第一信號通道與該第二信號通道可以合併為一共同信號通道，該共同信號通道的一端連接該第一元件的一介面部位，該共同信號通道的另一端連接該記憶體，該共同信號通道的另一端也經過該信號通道控制器而電連接該第二元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該共同信號通道與該第二元件。

上述之存取系統可以更包含一第一指令通道、一第二指令通道、一第三指令通道、一指令通道控制器，該第一指令通道的一端與該第二指令通道的一端並接於該第一元件的另一介面部位，該第一指令通道的另一端連接該記憶體，

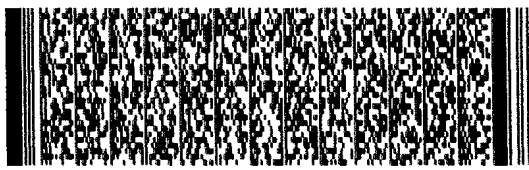
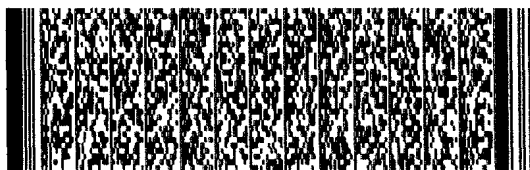


五、發明說明 (5)

該第二指令通道的另一端經過該指令通道控制器、該第三指令通道而電連接該第二元件，又其中該信號產生器在該第一元件即將以及已完成對該記憶體執行存取時，分別輸出一種第一指令信號，經由該第一指令通道，通知該記憶體該第一元件即將或已完成對其執行存取，該第一元件輸出該第一指令信號到該記憶體時，該指令通道控制器隔離該第二指令通道與該第三指令通道，以免該第二元件受到該第一指令信號影響。在實際應用中，上述該指令通道控制器與該第二元件可以彼此緊鄰，使該第三指令通道等於不存在，故上述本案資料存取方案的代表例，也可以不包含該第三指令通道。

上述存取系統中，該第一指令通道與該第二指令通道可以合併為一共同指令通道，該共同指令通道的一端連接該第一元件的一介面部位，該共同指令通道的另一端連接該記憶體，該共同指令通道的另一端也經過該指令通道控制器而電連接該第二元件，當該第一元件對該記憶體執行存取時，該指令通道控制器隔離該共同指令通道與該第二元件。

本案資料存取方案的另一代表例為另一種存取系統，用以讓一第一元件對一記憶體、至少一第二元件、以及至少一第三元件等執行存取，該另一種存取系統包含：一第一信號通道；一第二信號通道；一第三信號通道；一第四信號通道；以及一信號通道控制器，該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，



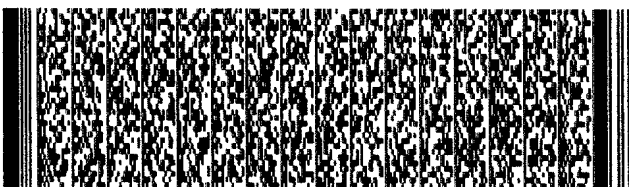
五、發明說明 (6)

該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該信號通道控制器、該第三信號通道而電連接該第二元件，該第二信號通道的另一端也經過該信號通道控制器、該第四信號通道而電連接該第三元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該第二信號通道與該第三信號通道，也隔離該第二信號通道與該第四信號通道以避免該第一元件、第二元件等影響到該第一元件對該記憶體的存取。

上述該另一種存取系統也可以設計為，其中該第一元件對該第二元件執行存取時，該信號通道控制器隔離該第二信號通道與該第四信號通道，而在該第一元件對該第三元件執行存取時，該信號通道控制器隔離該第二信號通道與該第三信號通道，以避免該第一元件對該第二元件的存取，與該第三元件互相影響，也避免該第一元件對該第三元件的存取，與該第二元件互相影響。

上述該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該信號通道控制器、該第三信號通道而電連接該第二元件，該第二信號通道的另一端也經過該信號通道控制器、該第四信號通道而電連接該第三元件。

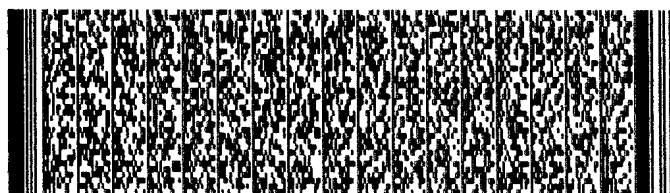
上述該另一種存取系統可以更包含一第一指令通道、一第二指令通道、一第三指令通道、一第四指令通道、以及一指令通道控制器，其中該第一元件即將或已完成對該一記



五、發明說明 (7)

憶體執行存取時，輸出一第一種指令信號，經由該第一指令通道，通知該記憶體該第一元件即將或已完成對其執行存取，又其中該第一元件即將或已完成對該第二元件執行存取時，輸出一第二種指令信號，經過該第二指令通道、該指令通道控制器、該第三指令通道等，以通知該第二元件該第一元件即將或已完成對其執行存取，另該第一元件即將或已完成對該第三元件執行存取時，輸出一第三種指令信號，經過該第二指令通道、該指令通道控制器、該第四指令通道等，以通知該第三元件該第一元件即將或已完成對其執行存取；在該第一元件輸出該第一種指令信號，以通知該記憶體該第一元件即將或已完成對其執行存取時，該指令通道控制器隔離該第二指令通道與該第三指令通道，也隔離該第二指令通道與該第四指令通道，以避免該第二元件、第三元件等受到該第一指令信號的影響。上述之該另一種存取系統也可以設計為，其中該指令通道控制器在該第一元件輸出該第二種指令信號，以通知該第二元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道與該第四指令通道；而在該第一元件輸出該第三種指令信號，以通知該第三元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道與該第三指令通道。

由以上說明可知，本案所提供資料存取方案，可以讓一第一元件經由其共同介面部位（例如一組輸出／入埠）對其外部的多個裝置（記憶體、其他元件等）執行存取，也可



五、發明說明 (8)

以讓該第一元件經由其共同介面部位，對其外部的多個裝置，送達指令信號，大量減少輸出／入腳位數量。

圖式簡介

圖1與圖2說明習知案例。

圖3所示係本發明的第一種存取系統實施例。

圖4所示係本發明的第一種存取系統實施例之一更詳細設計方式。

圖5所示係本發明的第二種存取系統實施例。

圖6所示係本發明的第二種存取系統實施例之一更詳細設計方式。

圖7所示係配合圖3說明本發明各電路的時序。

圖號說明

- 1 積體電路 1
- 2 積體電路 2
- 3 記憶體
- 4 信號通道
- 5 信號通道
- 6 指令通道
- 7 指令通道
- 3 0 信號通道控制器
- 3 1 第一元件
- 3 2 第二元件



五、發明說明 (9)

- 3 3 記 憶 體
- 3 4 第 一 信 號 通 道
- 3 5 第 二 信 號 通 道
- 3 6 第 三 信 號 通 道
- 3 7 信 號 產 生 器
- 3 8 控 制 信 號 (包 含 381 、 382)
- 3 9 指 令 通 道 控 制 信 號
- 4 0 指 令 通 道 控 制 器
- 4 1 第 一 指 令 通 道
- 4 2 第 二 指 令 通 道
- 4 3 第 三 指 令 通 道
- 4 6 第 四 信 號 通 道
- 5 0 信 號 通 道 控 制 器
- 5 2 第 三 元 件
- 6 0 指 令 通 道 控 制 器
- 6 1 第 一 指 令 通 道
- 6 2 第 二 指 令 通 道
- 6 3 第 三 指 令 通 道
- 6 4 第 四 指 令 通 道
- 7 1 第 一 時 段
- 7 2 第 二 時 段
- 7 3 第 三 時 段
- 7 4 第 四 時 段
- 3 1 1 介 面 部 位



五、發明說明 (10)

- 3 1 2 介面部位
- 3 8 1 控制信號啟動令
- 3 8 2 控制信號停止令
- 4 8 1 第一控制信號
- 4 8 2 第二控制信號
- 4 8 3 第三控制信號
- 5 0 1 第一電子電路
- 5 0 2 第二電子電路
- 5 0 3 信號通道控制器一介面部位
- 5 0 4 信號通道控制器另一介面部位
- 6 0 1 第一控制電路
- 6 0 2 第二控制電路
- 6 0 3 指令通道控制器一介面部位
- 6 0 4 指令通道控制器另一介面部位

詳細說明

圖 3 所示係本發明的第一種存取系統實施例，其用以讓一第一元件 3 1 對一記憶體 3 3 與至少一第二元件 3 2 執行存取，該第一種存取系統包含：一第一信號通道 3 4；一第二信號通道 3 5；一第三信號通道 3 6；以及一信號通道控制器 3 0；該第一信號通道 3 4 的一端與該第二信號通道 3 5 的一端並接於該第一元件 3 1 的一介面部位 3 1 1（例如一組輸出／入埠），該第一信號通道 3 4 的另一端連接該記憶體 3 3，該第二信號通道 3 5 的另一端經過



五、發明說明 (11)

該信號通道控制器 30、該第三信號通道 36 而電連接該第二元件 32，當該第一元件 31 對該記憶體 33 執行存取時，該信號通道控制器 30 隔離該第二信號通道 35 與該第三信號通道 36，以免該第二元件 32 影響到該第一元件 31 對該記憶體 33 執行存取。在實際應用中，上述該信號通道控制器 30 與該第二元件 32 可以彼此緊鄰，使該第三信號通道 36 等於不存在，故上述本案資料存取方案的代表例，也可以不包含該第三信號通道 36。

如圖 4 所示，本案上述第一種存取系統實施例，更可以包含一信號產生器 37，該信號產生器 37 在該第一元件 31 對該記憶體 33 執行存取時，輸出一控制信號 38 驅動該通道控制器 30 隔離該第二信號通道 35 與該第三信號通道 36。該信號產生器 37 可以位在該第一元件 31 內部，也可以位在其外部，更可能就是該第一元件 31 的一部份電路，例如該第一元件 31 的一邏輯處理電路可以兼做為該信號產生器 37。

本案上述第一種存取系統，該信號產生器在該第一元件 31 即將對該記憶體 33 執行存取之前，輸出該控制信號 38，直到該第一元件 31 對該記憶體 33 執行存取完成時。

上述該控制信號 38，如圖 4 所示，可以包含一啟動令 381 與一停止令 382，該啟動令 381 激發該通道控制器 30 開始隔離該第二信號通道 35 與該第三信號通道 36，直到該信號產生器 37 輸出該停止令 382。

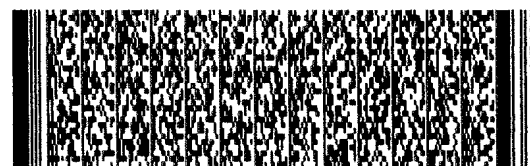


五、發明說明 (12)

本案上述之第一種存取系統中，該通道控制器可以係一種電子電路，其接收到該控制信號38的時段內，提供一第一種阻抗於該第二信號通道35與第三信號通道36之間，否則提供一第二種阻抗於該第二信號通道35與第三信號通道36之間，該第一種阻抗遠大於該第二種阻抗，該第一種阻抗大到足以避免，該第二元件32經過該第三信號通道36、該第二信號通道35等而影響第一元件31對記憶體33執行存取，該第二種阻抗小到足以讓，第一元件31經過第二信號通道35、第三信號通道36等來對第二元件32執行存取。

本案上述之第一種存取系統，該通道控制器也可以設計成為一種電子電路，其接獲該啟動令381就提供一第一種阻抗於該第二信號通道35與該第三信號通道36之間，直到接獲該停止令382就改提供一第二種阻抗於該第二信號通道35與該第三信號通道36之間，該第一種阻抗遠大於該第二種阻抗。

本案上述之第一種存取系統，再如圖4所示，更可以包含一第一指令通道41、一第二指令通道42、一指令通道控制器40、一第三指令通道43，該第一指令通道41與該第二指令通道42的一端並接於第一元件31的介面部位312，該第一指令通道41的另一端接到記憶體33，該第二指令通道42的另一端，經過該指令通道控制器40、該第三指令通道43等電連接該第二元件32，該信號產生器37在該第一元件31即將以及已完成對該



五、發明說明 (13)

記憶體 33 執行存取時，分別輸出一種第一指令信號，經由該第一指令通道 41，通知該記憶體 33 該第一元件 31 即將或已完成對其執行存取。又該信號產生器 37 在該第一元件 31 即將以及已完成對該第二元件 32 執行存取時，分別輸出一種第二指令信號，經由該第二指令通道 42、該指令通道控制器 40、該第三指令通道 43 等，通知該第二元件 32 該第一元件 31 即將或已完成對其執行存取。該信號產生器 37 經過介面部位 312、第一指令通道 41 等輸出該第一指令信號到該記憶體 33 時，該指令通道控制器 40 隔離該第二指令通道 42 與該第三指令通道 43，以免第二元件 32 與該第一指令信號互相影響。在實際應用中，上述該指令通道控制器 40 與該第二元件 32 可以彼此緊鄰，使該第三指令通道 43 等於不存在，故上述本案資料存取方案的代表例，也可以不包含該第三指令通道 43。

上述該指令通道控制器 40，可以係接收該信號產生器 37 所輸出的指令通道控制信號 39，以執行隔離該第二指令通道 42 與該第三指令通道 43。

圖 5 所示係本發明的第二種存取系統實施例，其用以讓一第一元件 31 對一記憶體 33、至少一第二元件 32、以及至少一第三元件 52 等執行存取，其可以包含：

一第一信號通道 34；一第二信號通道 35；一第三信號通道 36；一第四信號通道 46；以及一信號通道控制器 50，該第一信號通道 34 的一端與該第二信號通道 35



五、發明說明 (14)

的一端並接於該第一元件 3 1 的一介面部位 3 1 1，該第一信號通道 3 4 的另一端連接該記憶體 3 3，該第二信號通道 3 5 的另一端經過該信號通道控制器 5 0（也經過該信號通道控制器 5 0 的介面部位 5 0 3，如圖 6 所示）、該第三信號通道 3 6 而電連接該第二元件 3 2，該第二信號通道 3 5 的另一端也經過該信號通道控制器 5 0（又經過該信號通道控制器 5 0 的介面部位 5 0 4，如圖 6 所示）、該第四信號通道 4 6 而電連接該第三元件 5 2，當該第一元件 3 1 對該記憶體 3 3 執行存取時，該信號通道控制器 5 0 隔離該第二信號通道 3 5 與該第三信號通道 3 6，也隔離該第二信號通道 3 5 與該第四信號通道 4 6。比較圖 5 與圖 3 可知，圖 5 多出了第三元件 5 2，也就需要多出第四信號通道 4 6，而信號通道控制器 5 0 本質上相同於圖 3 的信號通道控制器 3 0，但必須具備兩種隔離功能：隔離第二信號通道 3 5 與第三信號通道 3 6，以及隔離第二信號通道 3 5 與第四信號通道 4 6。

如圖 6 所示，本案上述之第二種存取系統實施例可以更包含一信號產生器 3 7，該信號產生器 3 7 在該第一元件 3 1 對該記憶體 3 3 執行存取時，輸出一第一控制信號 4 8 1，驅動該信號通道控制器 5 0 隔離該第二信號通道 3 5 與該第三信號通道 3 6，以免該第二元件 3 2 影響到該第一元件 3 1 對該記憶體 3 3 執行存取，也驅動該信號通道控制器 5 0 隔離該第二信號通道 3 5 與該第四信號通道 4 6，以免該第三元件 5 2 影響到該第一元件 3 1 對該



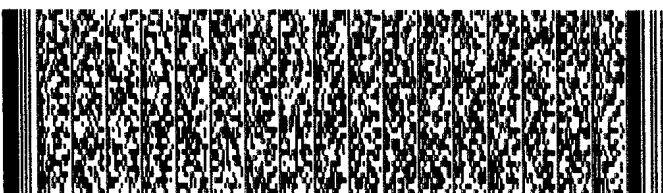
五、發明說明 (15)

記憶體 33 執行存取。

本案上述之第二種存取系統，該第一元件 31 對該第二元件 32 執行存取時，該信號產生器 37 輸出一第二控制信號 482，驅動該信號通道控制器 50 隔離該第二信號通道 35 與該第四信號通道 46，而該第一元件 31 對該第三元件 52 執行存取時，該信號產生器 37 輸出一第三控制信號 483，驅動該信號通道控制器 50 隔離該第二信號通道 35 與該第三信號通道 36，以分別避免該第一元件 31 對該第二元件 32 的存取，與該第三元件 52 互相影響，也避免該第一元件 31 對該第三元件 52 的存取，與該第二元件 32 互相影響，也就是，第二控制信號 482、第三控制信號 483 等用以避免該第一元件 31 對該第二元件 32 的存取，與該第三元件 52 互相影響，也避免該第一元件 31 對該第三元件 52 的存取，與該第二元件 32 互相影響。

本案上述之第二種存取系統實施例，該信號產生器 37 在該第一元件 31 即將對該記憶體 33、該第二元件 32、該第三元件 52 等執行存取（在不同時段）之前，分別輸出該等控制信號 481、482、483 等，直到該第一元件 31 分別對該記憶體 33、該第二元件 32、該第三元件 52 等執行存取完成時。

本案上述之第二種存取系統實施例，該等控制信號可以包含一啟動令與一停止令，該啟動令激發該通道控制器開始執行隔離作業（例如隔離該第二信號通道 35 與該第三信



五、發明說明 (16)

號通道 3 6，也同時或不同時地隔離該第二信號通道 3 5 與該第四信號通道 4 6)，直到該信號產生器輸出該停止令。

上述該信號產生器 3 7 可以位於該第一元件 3 1 內。

上述該信號產生器 3 7 可以係該第一元件 3 1 的一邏輯處理電路。

本案上述之第二種存取系統實施例中，該信號通道控制器 5 0 可以係一種電子電路，其接收到該第一控制信號 4 8 1 的時段內，提供一第一種阻抗（高阻抗）於該第二信號通道 3 5 與該第三信號通道 3 6 之間，也提供一第三種阻抗（高阻抗）於該第二信號通道 3 5 與該第四信號通道 4 6 之間，否則提供一第二種阻抗（低阻抗）於該第二信號通道 3 5 與該第三信號通道 3 6 之間，也提供一第四種阻抗（低阻抗）於該第二信號通道 3 5 與該第四信號通道 4 6 之間，該第一種阻抗遠大於該第二種阻抗，該第三種阻抗遠大於該第四種阻抗。另該信號通道控制器 5 0 接收到該第二控制信號 4 8 2 的時段內（也就是該第一元件 3 1 對該第二元件 3 2 執行存取的時段內），提供該第三種阻抗（高阻抗）於該第二信號通道 3 5 與該第四信號通道 4 6 之間；又該信號通道控制器 5 0 接收到該第三控制信號 4 8 3 的時段內（也就是該第一元件 3 1 對該第三元件 5 2 執行存取的時段內），提供該第一種阻抗（高阻抗）於該第二信號通道 3 5 與該第三信號通道 3 6 之間。

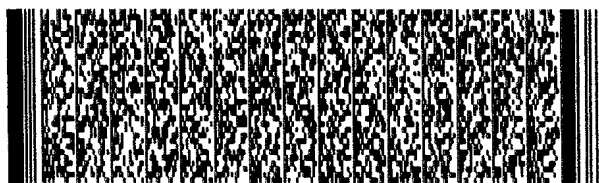
本案上述之第二種存取系統實施例中，該信號通道控制器



五、發明說明 (17)

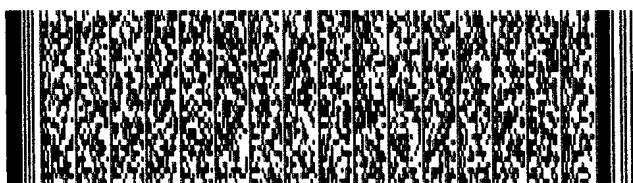
50 可以包含一第一電子電路 501 (示於圖 6) 與一第二電子電路 502 (示於圖 6)，該信號通道控制器 50 接收到該第一控制信號 481 的時段內，該第一電子電路 501 提供該第一種阻抗 (高阻抗) 於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供該第三種阻抗 (高阻抗) 於該第二信號通道 35 與該第四信號通道 46 之間；否則該第一電子電路 501 提供該第二種阻抗 (低阻抗) 於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供該第四種阻抗 (低阻抗) 於該第二信號通道 35 與該第四信號通道 46 之間。該第一種阻抗遠大於該第二種阻抗，該第三種阻抗遠大於該第四種阻抗。另該信號通道控制器 50 接收到該第二控制信號 482 的時段內，該第一電子電路 501 提供該第二種阻抗 (低阻抗) 於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供該第三種阻抗 (高阻抗) 於該第二信號通道 35 與該第四信號通道 46 之間，又該信號通道控制器 50 接收到該第三控制信號 483 的時段內，該第一電子電路 501 提供該第一種阻抗 (高阻抗) 於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供該第四種阻抗 (低阻抗) 於該第二信號通道 35 與該第四信號通道 46 之間。

本案上述之第二種存取系統實施例中，若該等控制信號 481、482、483 皆各包含啟動令與停止令，而該信



五、發明說明 (18)

號通道控制器 50 包含一第一電子電路 501 與一第二電子電路 502，則該信號通道控制器 50 接獲該第一控制信號 481 的啟動令（也就是該第一元件 31 即將對記憶體 33 執行存取），該第一電子電路 501 就提供該第一種阻抗（高阻抗）於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供該第三種阻抗（高阻抗）於該第二信號通道 35 與該第四信號通道 46 之間，直到該信號通道控制器 50 接獲該第一控制信號 481 的停止令，該第一電子電路 501 就改提供該第二種阻抗（低阻抗）於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 就改提供第四種阻抗（低阻抗）於該第二信號通道 35 與該第四信號通道 46 之間，該第一種阻抗遠大於該第二種阻抗，該第三種阻抗遠大於該第四種阻抗，已如前述。另該信號通道控制器 50 接獲該第二控制信號 482 的啟動令（也就是該第一元件 31 即將對該第二元件 32 進行存取時），該第一電子電路 501 就提供低阻抗於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供高阻抗於該第二信號通道 35 與該第四信號通道 46 之間。又該信號通道控制器 50 接獲該第三控制信號 483 的啟動令（也就是該第一元件 31 即將對該第三元件 52 執行存取），該第一電子電路 501 就提供高阻抗於該第二信號通道 35 與該第三信號通道 36 之間，而該第二電子電路 502 提供低阻坑於該第二信號通道 35 與該第四信號通道

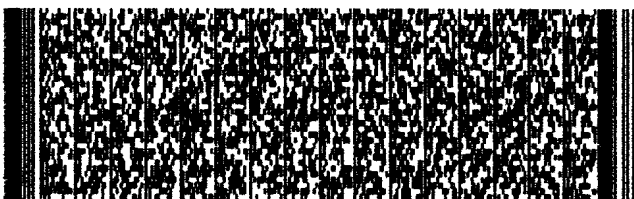


五、發明說明 (19)

4 6 之間。

再參閱圖 6，本案上述之第二種存取系統實施例也可以更包含一第一指令通道 6 1、一第二指令通道 6 2、一第三指令通道 6 3、以及一指令通道控制器 6 0，該第一指令通道 6 1 的一端與該第二指令通道 6 2 的一端並接於該第一元件 3 1 的一介面部位 3 1 2，該第一指令通道 6 1 的另一端接到該記憶體 3 3，該第二指令通道 6 2 的另一端經過該指令通道控制器 6 0、該第三指令通道 6 3 接到該第二元件 3 2，也經過該指令通道控制器 6 0、該第四指令通道 6 4 接到該第三元件 5 2；又其中該信號產生器 3 7 在該第一元件 3 1 即將或已完成該第二元件 3 2 執行存取時，輸出一第一種指令信號，經由該第一指令通道 6 1，通知該記憶體 3 3 該第一元件 3 1 即將或已完成對其執行存取。該信號產生器 3 7 也在該第一元件 3 1 即將或已完成對該第二元件 3 2 執行存取時，輸出一第二種指令信號，經過該第二指令通道 6 2、該指令通道控制器 6 0、該第三指令通道 6 3 等，以通知該第二元件 3 2 該第一元件 3 1 即將或已完成對其執行存取，另該信號產生器 3 7 也在該第一元件 3 1 即將或已完成第三元件 5 2 執行存取時，輸出一第三種指令信號，經過該第二指令通道 6 2、該指令通道控制器 6 0、該第四指令通道 6 4 等，以通知該第三元件 5 2 該第一元件 3 1 即將或已完成對其執行存取。

本案上述之第二種存取系統實施例中，該指令通道控制器



92-4148 修正
補充

五、發明說明 (20)

60 在該信號產生器 37 輸出該第一種指令信號，以通知該記憶體 33 該第一元件 31 即將或已完成對其執行存取時，隔離該第二指令通道 62 與該第三指令通道 63，也隔離該第二指令通道 62 與該第四指令通道 64，以避免該第一種指令信號與第二元件 32 或第三元件 52 互相影響，該指令通道控制器 60 也在該信號產生器 37 輸出該第二種指令信號，以通知該第二元件 32 該第一元件 31 即將或已完成對其執行存取時，隔離該第二指令通道 62 與該第四指令通道 64，以避免該第二種指令信號與第三元件 52 互相影響；同理該指令通道控制器 60 在該信號產生器 37 輸出該第三種指令信號，以通知該第三元件 52 該第一元件 31 即將或已完成對其執行存取時，隔離該第二指令通道 62 與該第三指令通道 63，以避免該第三種指令信號與該第二元件 32 互相影響。

本案上述之第二種存取系統實施例中，該信號產生器 37 更可以輸出一指令通道控制信號 68（請參閱圖 6）到該指令通道控制器 60，以驅動該指令通道控制器 60，在該信號產生器 37 輸出該第一種指令信號（做為通知該記憶體 33 該第一元件 31 即將或已完成對其執行存取）時，隔離第二指令通道 62 與該第三指令通道 63，也隔離第二指令通道 62 與該第四指令通道 64，也在信號產生器 37 輸出該第二種指令信號，以通知該第二元件 32 該第一元件 31 即將或已完成對其執行存取時，驅動該指令通道控制器 60 隔離該第二指令通道 62 與該第四指令



五、發明說明 (21)

通道 6 4；而在該信號產生器 3 7 輸出該第三種指令信號，以通知該第三元件 5 2 該第一元件 3 1 即將或已完成對其執行存取時，驅動該指令通道控制器 6 0 隔離該第二指令通道 6 2 與該第三指令通道 6 3。該指令通道控制信號 6 8 也可以比照前述控制信號包含三個部份 4 8 1、4 8 2、4 8 3 的方式，而包含三個部份 6 8 1、6 8 2、6 8 3（未示於圖），各部份 6 8 1、6 8 2、6 8 3 等之作用分別比照該等控制信號 4 8 1、4 8 2、4 8 3。顯然地，本案上述之第二種存取系統實施例中，第一指令通道 6 1 與第二指令通道 6 2 共同經由該第一元件 3 1 的另一介面部位 3 1 2 電連接該信號產生器 3 7。又如圖 6 所示，該第三指令通道 6 3 的一端連接該指令通道控制器 6 0 的一介面部位 6 0 3，另一端電連接該第二元件 3 2，該第四指令通道 6 4 的一端，連接該指令通道控制器 6 0 的另一介面部位 6 0 4，另一端電連接該第三元件 5 2。

如圖 6 所示，本案上述之第二種存取系統實施例中，該指令通道控制器 6 0 可以包含一第一控制電路 6 0 1 與一第二控制電路 6 0 2，在該信號產生器 3 7 輸出該第一種指令信號，以通知該記憶體 3 3 該第一元件 3 1 即將或已完成對其執行存取時，第一控制電路 6 0 1 隔離該第二指令通道 6 2 與該第三指令通道 6 3，而第二控制電路 6 0 2 隔離該第二指令通道 6 2 與該第四指令通道 6 4；另在該信號產生器 3 7 輸出該第二種指令信號，以通知該第二元

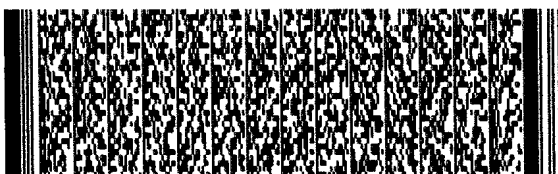


五、發明說明 (22)

件 3 2 該第一元件 3 1 即將或已完成對其執行存取時，該第二控制電路 6 0 2 隔離該第二指令通道 6 2 與該第四指令通道 6 4；又在該信號產生器 3 7 輸出該第三種指令信號，以通知該第三元件 5 2 該第一元件 3 1 即將或已完成對其執行存取時，該第一控制電路 6 0 1 隔離該第二指令通道 6 2 與該第三指令通道 6 3。

圖 3 的該信號通道控制器 3 0、圖 6 的該第一電子電路 5 0 1 與該第二電子電路 5 0 2 等可以是一緩衝積體電路（例如編號為 2 4 5 的 buffer），其接收來自該第一元件 3 1 的控制信號：G 與 D I R（係 IC data book 中編號為 2 4 5 的 buffer 的輸入符號通用格式），而在該第二信號通道 3 5 與該第三信號通道 3 6 之間選擇前向導通、後向導通、或隔離等。如圖 7 所示係配合圖 3 的說明，其中，在時段 7 1，第一元件 3 1 對第二元件 3 2 執行寫入作業（此時該信號通道控制器 3 0 前向導通），在時段 7 2，第一元件 3 1 對記憶體 3 3 執行存取（此時該信號通道控制器 3 0 隔離該第二信號通道 3 5 與該第三信號通道 3 6）；在時段 7 3，第一元件 3 1 對第二元件 3 2 讀出（此時該信號通道控制器 3 0 後向導通）；在時段 7 4，第一元件 3 1 對第二元件 3 2 寫入。

由以上說明可知，本發明所提資料存取方案讓一元件（例如圖 3～圖 6 的第一元件 3 1），不管對其外部的幾個記憶體或其他元件執行存取，僅需用到一介面部位 3 1 1（例如一組輸入／出埠）連接資料信號通道，也僅需用到

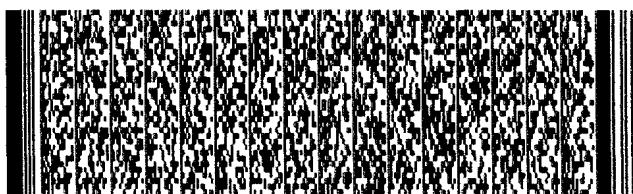


五、發明說明 (23)

另一介面部位 3 1 2 (例如一組輸入／出埠)送出存取控制指令，大大地節省腳位數量，避開積體電路設計、製造上的瓶頸。

若將本發明應用於數位相機，則本案上述第一元件 3 1 相當於數位相機的一主要積體電路(或中央處理器 C P U)，記憶體 3 3 相當於數位相機的緩衝記憶體(例如 SDRAM)，第二元件 3 2 可視為數位相機的影像儲存記憶卡(例如 Smart Media Card)，而第三元件 5 2 可能相當於數位相機的影像儲存記憶晶片(例如 Smart Media Chip)。

以上說明係供瞭解本發明較佳或到目前為止較實際之實施例。本發明之精神與範圍不受限於上述所揭示之實施例，相反的，其可含蓋各種修改或近似方案。



六、申請專利範圍

1. 一種存取系統，用以讓一第一元件對一記憶體與至少一第二元件執行存取，該存取系統包含：

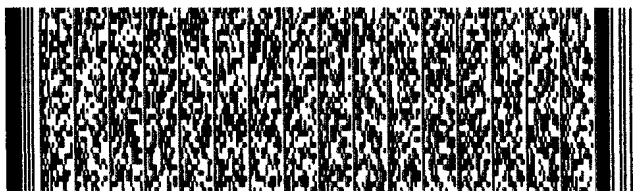
- 一第一信號通道；
- 一第二信號通道；
- 一第三信號通道；以及
- 一信號通道控制器；

該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該通道控制器、該第三信號通道而電連接該第二元件，當該第一元件對該記憶體執行存取時，該通道控制器隔離該第二信號通道與該第三信號通道。

2. 如申請專利範圍第1項所述之存取系統，更包含一信號產生器，該信號產生器在該第一元件對該記憶體執行存取時，輸出一控制信號驅動該通道控制器隔離該第二信號通道與該第三信號通道，以免該第二元件影響到該第一元件對該記憶體執行存取。

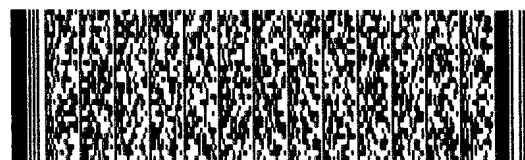
3. 如申請專利範圍第2項所述之存取系統，其中該信號產生器在該第一元件即將對該記憶體執行存取之前，輸出該控制信號，直到該第一元件對該記憶體執行存取完成時。

4. 如申請專利範圍第2項所述之存取系統，其中該控制信號包含一啟動令與一停止令，該啟動令激發該通道控制器開始隔離該第二信號通道與該第三信號通道，直到該信號產生器輸出該停止令。



六、申請專利範圍

5. 如申請專利範圍第2項所述之存取系統，其中該信號產生器位於該第一元件內。
6. 如申請專利範圍第2項所述之存取系統，其中該信號產生器係該第一元件的一邏輯處理電路。
7. 如申請專利範圍第2項所述之存取系統，其中該通道控制器係一種電子電路，其接收到該控制信號的時段內，提供一第一種阻抗於該第二信號通道與第三信號通道之間，否則提供一第二種阻抗於該第二信號通道與第三信號通道之間，該第一種阻抗大於該第二種阻抗。
8. 如申請專利範圍第4項所述之存取系統，其中該通道控制器係一種電子電路，其接獲該啟動令就提供一第一種阻抗於該第二信號通道與該第三信號通道之間，直到接獲該停止令就改提供一第二種阻抗於該第二信號通道與該第三信號通道之間，該第一種阻抗大於該第二種阻抗。
9. 如申請專利範圍第2項所述之存取系統，更包含一第一指令通道、一第二指令通道、一第三指令通道、以及一指令通道控制器；該第一指令通道的一端與該第二指令通道的一端並接於該第一元件的另一介面部位，該第一指令通道的另一端連接該記憶體，該第二指令通道的另一端經過該指令通道控制器、該第三指令通道而電連接該第二元件，又其中該信號產生器在該第一元件即將以及已完成對該記憶體執行存取時，分別輸出一種第一指令信號，經由該第一指令通道，通知該記憶體該第一元件即將或已完成對其執行存取，該第一元件輸出該第一指令信號到該記憶



六、申請專利範圍

體時，該指令通道控制器隔離該第二指令通道與該第三指令通道，以免該第二元件受到該第一指令信號影響。

10. 如申請專利範圍第9項所述之存取系統，其中該信號產生器在該第一元件即將以及已完成對該第二元件執行存取時，分別輸出一種第二指令信號，經由該第二指令通道、該指令通道控制器、該第三指令通道等，以通知該第二元件該第一元件即將或已完成對其執行存取。

11. 一種存取系統，用以讓一第一元件對一記憶體、至少一第二元件、以及至少一第三元件等執行存取，該存取系統包含：

- 一第一信號通道；
- 一第二信號通道；
- 一第三信號通道；
- 一第四信號通道；以及
- 一信號通道控制器

該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該信號通道控制器、該第三信號通道而電連接該第二元件，該第二信號通道的另一端也經過該信號通道控制器、該第四信號通道而電連接該第三元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該第二信號通道與該第三信號通道，也隔離該第二信號通道與該第四信號通道。

12. 如申請專利範圍第11項所述之存取系統，更包含一



六、申請專利範圍

信號產生器，該信號產生器在該第一元件對該記憶體執行存取時，輸出一控制信號驅動該信號通道控制器隔離該第二信號通道與該第三信號通道，以免該第二元件影響到該第一元件對該記憶體執行存取，也隔離該第二信號通道與該第四信號通道，以免該第三元件影響到該第一元件對該記憶體執行存取。

13. 如申請專利範圍第 1 1 項所述之存取系統，其中該第一元件對該第二元件執行存取時，該信號通道控制器隔離該第二信號通道與該第四信號通道，而在該第一元件對該第三元件執行存取時，該信號通道控制器隔離該第二信號通道與該第三信號通道，以避免該第一元件對該第二元件的存取，與該第三元件互相影響，也避免該第一元件對該第三元件的存取，與該第二元件互相影響。

14. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號產生器在該第一元件即將對該記憶體執行存取之前，輸出該控制信號，直到該第一元件對該記憶體執行存取完成時。

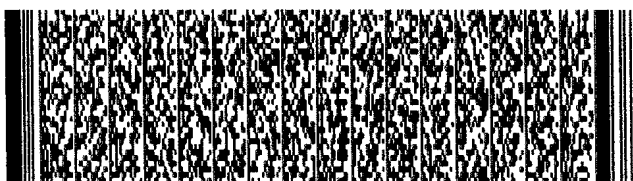
15. 如申請專利範圍第 1 2 項所述之存取系統，其中該控制信號包含一啟動令與一停止令，該啟動令激發該通道控制器開始隔離該第二信號通道與該第三信號通道，也開始隔離該第二信號通道與該第四信號通道，直到該信號產生器輸出該停止令。

16. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號產生器位於該第一元件內。



六、申請專利範圍

17. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號產生器係該第一元件的一邏輯處理電路。
18. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號通道控制器係一種電子電路，其接收到該控制信號的時段內，提供一第一種阻抗於該第二信號通道與該第三信號通道之間，也提供一第三種阻抗於該第二信號通道與該第四信號通道之間，否則提供一第二種阻抗於該第二信號通道與該第三信號通道之間，也提供一第四種阻抗於該第二信號通道與該第四信號通道之間，該第一種阻抗大於該第二種阻抗，該第三種阻抗大於該第四種阻抗。
19. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號通道控制器包含一第一電子電路與一第二電子電路，該信號通道控制器接收到該控制信號的時段內，該第一電子電路提供一第一種阻抗於該第二信號通道與該第三信號通道之間，而該第二電子電路提供一第三種阻抗於該第二信號通道與該第四信號通道之間；否則該第一電子電路提供一第二種阻抗於該第二信號通道與該第三信號通道之間，而該第二電子電路提供一第四種阻抗於該第二信號通道與該第四信號通道之間，該第一種阻抗大於該第二種阻抗，該第三種阻抗大於該第四種阻抗。
20. 如申請專利範圍第 1 2 項所述之存取系統，其中該信號產生器在該第一元件對該記憶體執行存取時，輸出一第一控制信號，驅動該信號通道控制器隔離該第二信號通道與該第三信號通道，以免該第二元件影響到該第一元件對

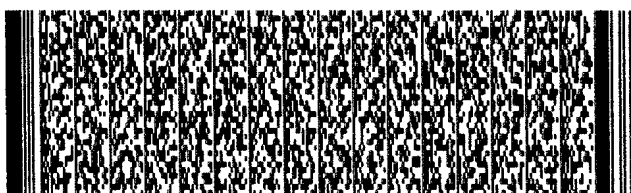


六、申請專利範圍

該記憶體執行執行存取，也驅動該信號通道控制器隔離該第二信號通道與該第四信號通道，以免該第三元件影響到該第一元件對該記憶體執行存取。

21. 如申請專利範圍第 20 項所述之存取系統，其中該信號產生器在該第一元件對該第二元件執行存取時，該信號產生器輸出一第二控制信號，驅動該信號通道控制器隔離該第二信號通道與該第四信號通道，而該第一元件對該第三元件執行存取時，該信號產生器輸出一第三控制信號，驅動該信號通道控制器隔離該第二信號通道與該第三信號通道，以分別避免該第一元件對該第二元件的存取，與該第三元件互相影響，也避免該第一元件對該第三元件的存取，與該第二元件互相影響。

22. 如申請專利範圍第 21 項所述之存取系統，其中該信號通道控制器係一種電子電路，其接收到該第一控制信號的時段內，提供一第一種阻抗於該第二信號通道與該第三信號通道之間，也提供一第三種阻抗於該第二信號通道與該第四信號通道之間，否則提供一第二種阻抗於該第二信號通道與該第三信號通道之間，也提供一第四種阻抗於該第二信號通道與該第三信號通道之間，該第一種阻抗大於該第二種阻抗，該第三種阻抗大於該第四種阻抗；另該信號通道控制器接收到該第二控制信號的時段內，提供該第三種阻抗於該第二信號通道與該第四信號通道之間；又該信號通道控制器接收到該第三控制信號的時段內，提供該第一種阻抗於該第二信號通道與該第三信號通道之間。



六、申請專利範圍

23. 如申請專利範圍第 16 項所述之存取系統，更包含一第一指令通道、一第二指令通道、一第三指令通道、一第四指令通道、以及一指令通道控制器，其中該第一元件即將或已完成對該一記憶體執行存取時，該信號產生器輸出一第一種指令信號，經由該第一指令通道，通知該記憶體該第一元件即將或已完成對其執行存取，又其中該第一元件即將或已完成對該第二元件執行存取時，該信號產生器輸出一第二種指令信號，經過該第二指令通道、該指令通道控制器、該第三指令通道等，以通知該第二元件該第一元件即將或已完成對其執行存取，另該第一元件即將或已完成對該第三元件執行存取時，該信號產生器輸出一第三種指令信號，經過該第二指令通道、該指令通道控制器、該第四指令通道等，以通知該第三元件該第一元件即將或已完成對其執行存取；在該第一元件輸出該第一種指令信號，以通知該記憶體該第一元件即將或已完成對其執行存取時，該指令通道控制器隔離該第二指令通道與該第三指令通道，也隔離該第二指令通道與該第四指令通道，以避免該第二元件、第三元件等受到該第一指令信號的影響。

24. 如申請專利範圍第 23 項所述之存取系統，其中該指令通道控制器在該信號產生器輸出該第二種指令信號，以通知該第二元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道與該第四指令通道；而在該信號產生器輸出該第二種指令信號，以通知該第三元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道



六、申請專利範圍

與該第三指令通道。

25. 如申請專利範圍第24項所述之存取系統，其中該信號產生器更輸出一指令通道控制信號到該指令通道控制器，驅動該指令通道控制器在該信號產生器輸出該第二種指令信號，以通知該第二元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道與該第四指令通道；而在該信號產生器輸出該第二種指令信號，以通知該第三元件該第一元件即將或已完成對其執行存取時，隔離該第二指令通道與該第三指令通道。

26. 如申請專利範圍第21項所述之存取系統，其中該指令通道控制器包含一第一控制電路與一第二控制電路，在該信號產生器輸出該第一種指令信號，以通知該記憶體該第一元件即將或已完成對其執行存取時，該第一控制電路隔離該第二指令通道與該第三指令通道，而該第二控制電路隔離該第二指令通道與該第四指令通道；另在該信號產生器輸出該第二種指令信號，以通知該第二元件該第一元件即將或已完成對其執行存取時，該第二控制電路隔離該第二指令通道與該第四指令通道；又在該信號產生器輸出該第三種指令信號，以通知該第三元件該第一元件即將或已完成對其執行存取時，該第一控制電路隔離該第二指令通道與該第三指令通道。

27. 一種存取系統，用以讓一第一元件對一記憶體與至少一第二元件執行存取，該存取系統包含：
一第一信號通道；



六、申請專利範圍

- 一 第二信號通道；以及
- 一信號通道控制器；

該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該通道控制器而電連接該第二元件，當該第一元件對該記憶體執行存取時，該通道控制器隔離該第二信號通道與該第二元件。

28. 一種存取系統，用以讓一第一元件對一記憶體、至少一第二元件、以及至少一第三元件等執行存取，該存取系統包含：

- 一第一信號通道；
- 一第二信號通道；以及
- 一信號通道控制器

該第一信號通道的一端與該第二信號通道的一端並接於該第一元件的一介面部位，該第一信號通道的另一端連接該記憶體，該第二信號通道的另一端經過該信號通道控制器而電連接該第二元件，該第二信號通道的另一端也經過該信號通道控制器而電連接該第三元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該第二信號通道與該第二元件，也隔離該第二信號通道與該第三元件。

29. 一種存取系統，用以讓一第一元件對一記憶體與至少一第二元件執行存取，該存取系統包含：

- 一信號通道；
- 一信號通道控制器；



六、申請專利範圍

該信號通道的一端連接該第一元件的一介面部位，該信號通道的另一端連接該記憶體，該信號通道的另一端也經過該通道控制器而電連接該第二元件，當該第一元件對該記憶體執行存取時，該通道控制器隔離該信號通道與該第二元件。

30. 一種存取系統，用以讓一第一元件對一記憶體、至少一第二元件、以及至少一第三元件等執行存取，該存取系統包含：

一信號通道；以及

一信號通道控制器

該信號通道的一端連接該第一元件的一介面部位，該信號通道的另一端連接該記憶體，該信號通道的另一端也經過該信號通道控制器而電連接該第二元件與該第三元件，當該第一元件對該記憶體執行存取時，該信號通道控制器隔離該信號通道與該第二元件，也隔離該信號通道與該第三元件。



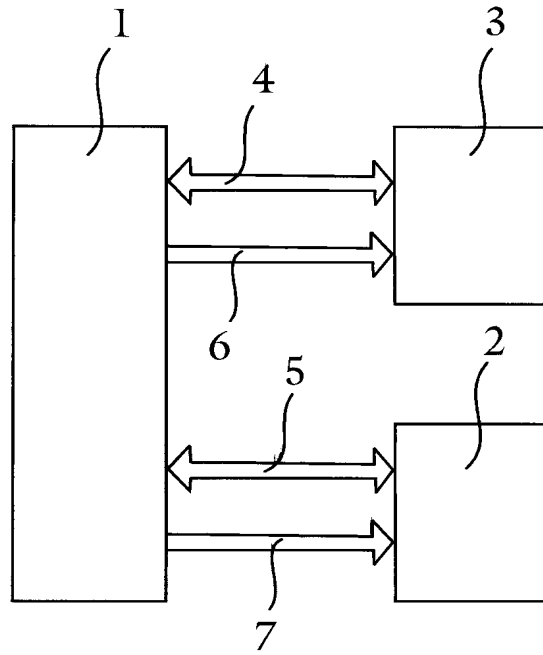


圖 1 (先前技藝)

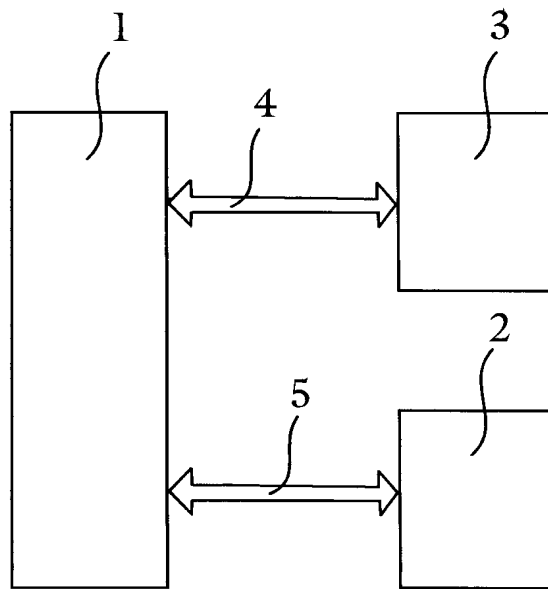


圖 2 (先前技藝)



圖 3



圖 4

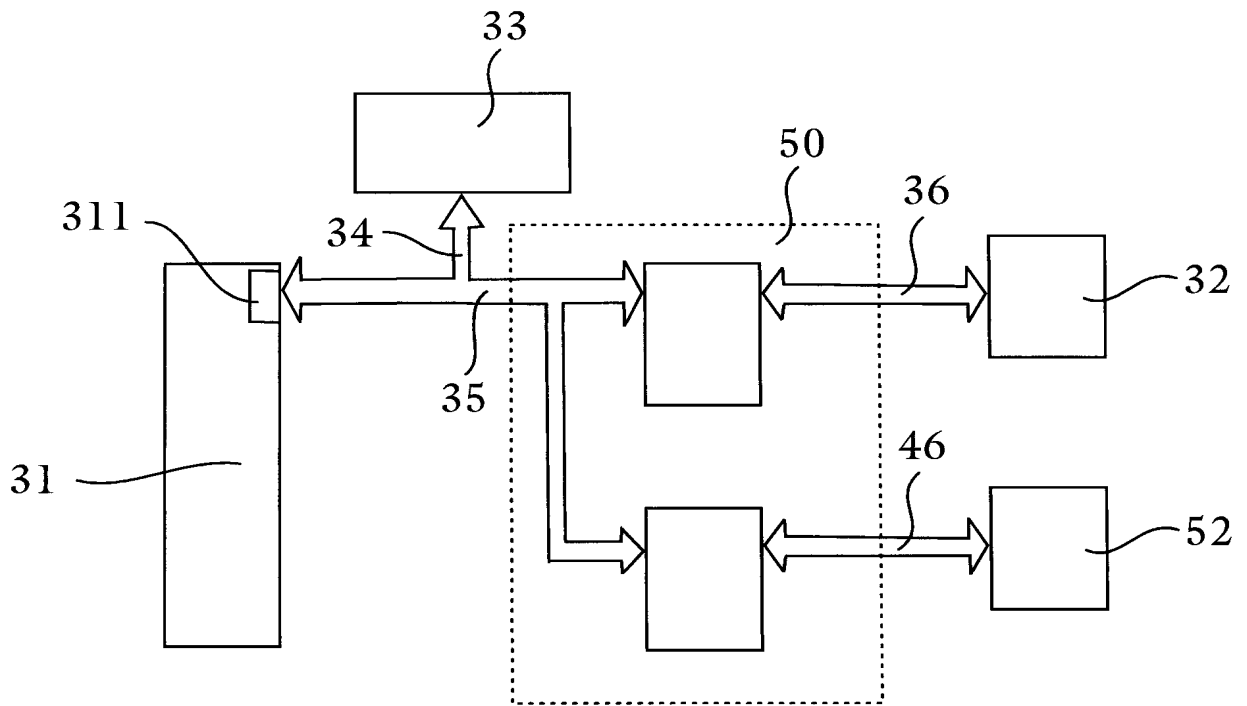


圖 5

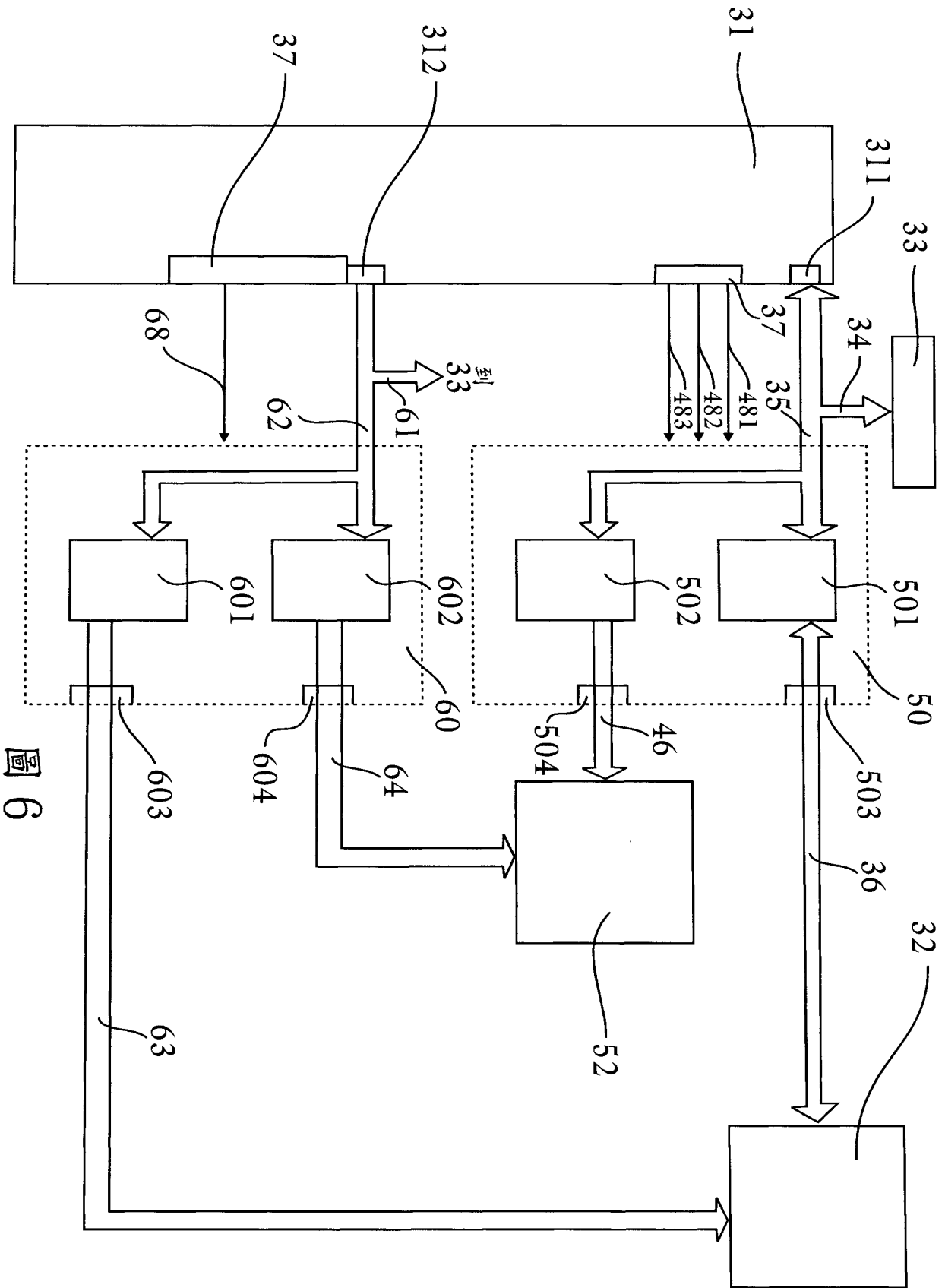


圖 6

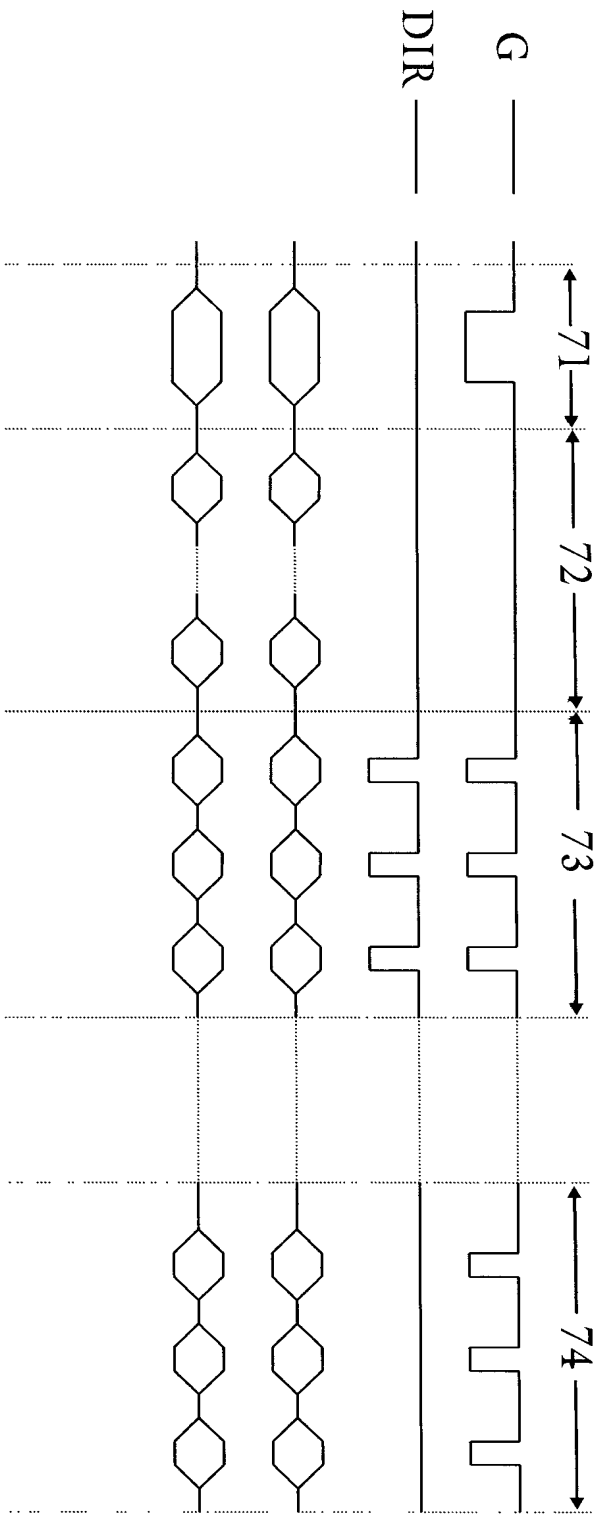


圖 7